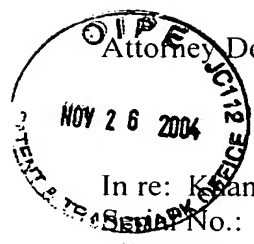


IPW



Attorney Docket No. 5649-1079

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Kwang et al.

Group Art Unit: 2182

Serial No.: 10/632,439

Confirmation No.: 2840

Filed: July 31, 2003

For: DATA OUTPUT CIRCUITS FOR SYNCHRONOUS INTEGRATED CIRCUIT  
MEMORY DEVICES

Date: November 23, 2004

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the  
following Korean priority application:

2002-45287, filed July 31, 2002.

Respectfully submitted,

D. Scott Moore  
Registration No. 42,011

**USPTO Customer No. 20792**  
Myers Bigel Sibley & Sajovec  
Post Office Box 37428  
Raleigh, North Carolina 27627  
Telephone: 919/854-1400  
Facsimile: 919/854-1401

**Certificate of Mailing under 37 CFR 1.8 (or 1.10)**

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on November 23, 2004.

  
Candi L. Riggs



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

**CERTIFIED COPY OF  
PRIORITY DOCUMENT**

출원 번호 : 특허출원 2002년 제 45287 호  
Application Number PATENT-2002-0045287

출원 년 월 일 : 2002년 07월 31일  
Date of Application JUL 31, 2002

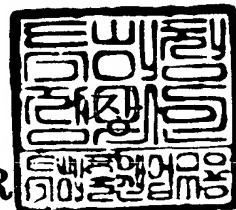
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 08 월 29 일

특 허 청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【제출일자】** 2002.07.31  
**【발명의 명칭】** 동기식 반도체 메모리 장치의 데이터 출력회로  
**【발명의 영문명칭】** data output circuit in synchronous semiconductor memory device  
**【출원인】**  
**【명칭】** 삼성전자 주식회사  
**【출원인코드】** 1-1998-104271-3  
**【대리인】**  
**【성명】** 김능균  
**【대리인코드】** 9-1998-000109-0  
**【포괄위임등록번호】** 2001-022241-9  
**【발명자】**  
**【성명의 국문표기】** 강창만  
**【성명의 영문표기】** KHANG, Chang Man  
**【주민등록번호】** 640719-1342223  
**【우편번호】** 431-070  
**【주소】** 경기도 안양시 동안구 평촌동 75-2번지 인덕원 대우아파트 101동 190 5호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 김정열  
**【성명의 영문표기】** KIM, Joung Yeal  
**【주민등록번호】** 720911-1789919  
**【우편번호】** 442-756  
**【주소】** 경기도 수원시 팔달구 원천동 원천주공2단지아파트 201동 1601호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김능균 (인)

**【수수료】**

**【기본출원료】** 20 면 29,000 원

**【가산출원료】** 5 면 5,000 원

**【우선권주장료】** 0 건 0 원

**【심사청구료】** 6 항 301,000 원

**【합계】** 335,000 원

**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

멀티플렉싱 출력라인의 정선 로딩 및 배선 로딩을 줄이고, 출력 데이터 간의 스쿼를 최소화하며 출력 데이터의 멀티플렉싱 오버랩을 방지할 수 있는 동기식 반도체 메모리 장치의 데이터 출력회로가 개시된다. 본 발명에 따라, 웨이브 파이프라인 구조를 가지는 데이터 출력 멀티플렉서를 구비한 동기식 반도체 메모리 장치의 데이터 출력회로는, 상기 데이터 출력 멀티플렉서내의 레지스터 출력선택 스위치들의 출력단들에 연결된 라인들과 공통으로 연결되는 멀티플렉싱 출력라인의 정선 로딩을 줄이기 위해, 서로 인접한 레지스터 출력선택 스위치들 끼리의 출력 파트 액티브 영역들을 공통으로 형성함에 의해, 두 개의 레지스터 출력선택 스위치들의 출력단들 마다 단일의 라인을 통해 상기 멀티플렉싱 출력라인에 연결되도록 한 것을 특징으로 한다.

**【대표도】**

도 13

**【색인어】**

동기식 반도체 메모리 장치, 웨이브 파이프라인, 데이터 출력 멀티플렉서, 정선 로딩

**【명세서】****【발명의 명칭】**

동기식 반도체 메모리 장치의 데이터 출력회로{data output circuit in synchronous semiconductor memory device}

**【도면의 간단한 설명】**

도 1은 통상적인 동기식 반도체 메모리 장치의 데이터 출력경로를 나타내는 블록도

도 2는 도 1에 관련된 데이터 출력동작의 타이밍도

도 3 내지 도 7은 도 1중 종래의 데이터 출력회로가 갖는 각종 문제점들을 설명하기 위해 제시된 도면들

도 8 내지 도 13는 본 발명의 다양한 실시 예들에 따라 데이터 출력회로의 구성요소들의 세부적 배치구조를 설명하기 위한 도면들

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 동기식 반도체 메모리 장치의 데이터 출력회로에 관한 것이다.

<6> 통상적으로, 동기식 반도체 메모리 장치(synchronous semiconductor memory device)에서는 컬럼 출력경로(path)를 고속화하기 위해 다양한 방식의 파이프라인 구조

가 적용되어 있다. 그러한 파이프라인 구조중에서 출력단에 복수의 레지스터를 채용하는 웨이브 파이프라인 구조는 회로구성이 비교적 간단하고 고속화에 유리한 장점을 지니므로 동기식 반도체 메모리 장치에 흔히 사용되고 있다.

<7> 도 1은 통상적인 동기식 반도체 메모리 장치의 데이터 출력경로를 나타내는 블록도로서, 리드동작 모드에서 컬럼 출력경로를 간략하게 나타내고 있다. 도면을 참조하여 동작을 설명하면 다음과 같다.

<8> 동기식 반도체 메모리 장치에 리드 명령이 입력되고 나서, 비트라인 센스앰프들(2,3,4,5)을 통해 각기 출력되는 메모리 셀 데이터는, 도시되지 아니한 컬럼 어드레스 디코더에서 인가되는 컬럼선택 신호들(CSL0-CSL3)에 응답하는 컬럼 선택 트랜지스터들(M1-M4)중 각기 대응되는 컬럼 선택 트랜지스터를 통해, 대응되는 로컬 입출력라인(LI0i: 도 1에서만 국한된 경우에 i는 0부터 3까지)에 제공된다. 로컬 입출력라인들(LI00-LI03)에 각기 대응 연결된 입출력 센스앰프들(6,7,8,9)은 상기 로컬 입출력라인들(LI00-LI03)에 제공된 데이터를 증폭하여 글로벌 입출력라인에 연결된 멀티플렉서(10)에 인가한다. 상기 멀티플렉서(10)는 상기 입출력 센스앰프들(6,7,8,9)로부터 출력된 데이터를 멀티플렉싱하여 데이터 출력 멀티플렉서(100)로 인가한다. 상기 멀티플렉서(10)의 동작에 의해 상기 데이터는 데이터 출력 멀티플렉서(100)내의 복수의 데이터 라인 스위치들(SF1-SF16)중의 선택된 하나의 스위치를 통해 전달된다. 데이터 라인 선택 신호 라인들(DL0-DL3)을 통해 인가되는 데이터 라인 선택신호에 응답하여 활성화되는 상기 데이터 라인 스

위치들(SF1-SF16)은 상기 멀티플렉서(10)의 출력 데이터를 대응되는 레지스터로 인가한다. 제1레지스터 내지 제n레지스터(101-116)에 각기 저장된 출력 데이터는 복수의 레지스터 출력선택 스위치들(S1-S16)의 입력단들에 제공되고, 어느 한 시점에서 복수의 레지스터 출력선택 스위치들(S1-S16)중 하나가 스위칭 선택신호에 의해 스위칭 온(ON)되면 멀티플렉싱 출력라인 상에 제공된다. 여기서, 상기 스위칭 선택신호들(CDQ0\_F-CDQ7\_F, CDQ0\_S-CDQ7\_S)은 도 2에서 보여지는 바와 같은 타이밍으로 상기 레지스터 출력선택 스위치들(S1-S16)에 제공된다. 상기 스위칭 선택신호들(CDQ0\_F-CDQ7\_F)은 도 2에서 보여지는 바와 같은 클럭(CLK)의 제1 에지(라이징 에지 또는 폴링에지)에 응답하여 생성되는 신호들이고, 상기 스위칭 선택신호들(CDQ0\_S-CDQ7\_S)은 상기 클럭(CLK)의 제2 에지(폴링 에지 또는 라이징 에지)에 응답하여 생성되는 신호들이다.

<9> 도 2는 도 1에 관련된 데이터 출력동작의 타이밍도로서 도 1에서 나타낸 참조부호와 동일한 부호로 파형을 도시하고 있다. 두 개의 멀티플렉싱 출력라인 상에 각기 나타나는 데이터(DOFi, DOSi)는 제1,2 데이터 그룹선택 스위치들(SW1, SW2)의 입력단으로 각기 인가된다. 서로 상보적으로 인가되는 그룹선택 출력스위칭 신호들(CCLKDQ\_F, CCLKDQ\_S)에 의해 상기 제1,2 데이터 그룹선택 스위치들(SW1, SW2)중의 하나가 스위칭 온 되면, 도 2에 도시된 바와 같이 클럭에 동기된 출력 데이터(DOUT)가 출력 드라이버(30)의 출력단에 연결된 출력핀(PD1)을 통해 최종적으로 출력된다.

<10> 상기 도 1 및 도 2를 통해 설명된 바와 같이, 동기 반도체 메모리 장치는 더



블 데이터 레이트(DDR)출력 동작을 제공하기 위해 데이터 출력 멀티플렉서(100)의 기능이 매우 중요함을 알 수 있다. 제1,2 데이터 그룹선택 스위치들(SW1,SW2)과 출력 드라이버(30)와 함께 데이터 출력회로에 포함되는 상기 데이터 출력 멀티플렉서(100)는 500MHz 정도의 고속 데이터 출력동작을 충분히 보장할 것이 요구되므로 데이터 스큐(skew)및 정선로딩 이나 배선로딩 등이 최소화되는 것이 필요하다.

<11> 종래의 더블 데이터 레이트 데이터 출력 멀티플렉서(100)는 상술한 바와 같이 웨이브 파이프라인 구조를 가지지만, 다음과 같은 문제점들이 존재해왔다.

<12> 도 3 내지 도 7은 도 1중 종래의 데이터 출력회로가 갖는 각종 문제점들을 설명하기 위해 제시된 도면들이다.

<13> 먼저, 도 3은 상기 데이터 출력 멀티플렉서(100)내의 상기 복수의 레지스터 출력선택 스위치들(S1-S16)중 일부의 스위치들(S1-S4)이 멀티플렉싱 출력라인(DOFi)에 연결되는 형태를 보인 것이다. 상기 스위치들(S1-S4)은 각기 씨모오스 전송게이트로 구성될 수 있지만, 도면에서는 편의상 하나의 모오스 트랜지스터로 나타내고 게이트(G), 소오스(S), 드레인(D) 영역에 접속되는 신호라인들을 도시하였다. 도면을 참조하면, 상기 멀티플렉싱 출력라인(DOFi)에는 4개의 정선(junction)부분이 나타나므로, 도 1의 데이터 출력 멀티플렉서(100)내의 멀티플렉싱 출력라인(DOFi)에는 총 8개의 정선부분이 존재한다. 따라서, 멀티플렉싱 출력라인(DOFi,DOSi)에서의 정선 로딩이 크므로 데이터 출력시간이 지연되는 문제가 있다.

<14> 도 4는 상기 복수의 레지스터 출력선택 스위치들(S1-S8)과 멀티플렉싱 출력라인(L3)의 전후에 배치되는 배선라인들(L1,L2,L3,L4)의 길이를 개략적으로 보인 것이다. 도면을 참조하면, 배선라인(L2)의 길이(D2a)가 배선라인(L1)의 길이(D1a)보다 길고, 배선

라인(L3)의 길이(D3a)도 비교적 길게 됨을 알 수 있다. 통상적으로 금속으로 형성되는 상기 배선라인(L2)의 길이가 길면 멀티플렉싱 출력노드에 배선로딩이 집중되므로 데이터 출력시간이 지연되는 문제가 있다.

<15> 도 5는 상기 복수의 레지스터 출력선택 스위치들(S1-S16)과 제1,2 데이터 그룹선택 스위치들(SW1,SW2)간의 배치관계를 보인 것이다. 이에 따라, 멀티플렉싱 출력라인(DOFi,DOSi)간의 배선 길이가 다르고, 결국, 제1 레지스터(101)를 경유하는 데이터 출력 경로(PA1)와 제8 레지스터(108)를 경유하는 데이터 출력 경로(PA2)와 제n 레지스터(116)를 경유하는 데이터 출력 경로(PA3)가 모두 다르게 되므로, 데이터 스큐가 발생하는 문제점이 있다.

<16> 도 6 및 도 7은 상기 레지스터 출력선택 스위치들(S1-S16)에 각기 인가되는 스위칭 선택신호의 상보신호를 각기 제공하는 오버랩 방지 제어신호라인들(CL1-CL5)의 연결관계를 각기 보인 것이다. 예를 들어, 도 6에서 스위치(S1)를 스위칭 온 시킬 때 스위치(S16)를 스위칭 오프시켜야 하고, 스위치(S2)를 스위칭 온 시킬 때 스위치(S15)를 스위칭 오프시켜야 한다. 왜냐하면, 데이터가 오버랩되는 것을 방지해야 하기 때문이다. 결국, 상기 스위치(S1)가 하이신호에 의해 스위칭 온 되는 경우라면 상기 하이신호를 반전한 로우 신호가 상기 스위치(S16)에 인가되는 데, 이 때 상기 로우 신호가 바로 상기 오버랩 방지 제어신호가 되는 것이다.

<17> 도 6에서는 오버랩 방지 제어신호라인(CL1)과 오버랩 방지 제어신호라인(CL3)은 상당한 길이 차이를 가짐을 알 수 있고, 도 7에서는 오버랩 방지 제어신호라인(CL1)만이 다른 오버랩 방지 제어신호라인들(CL2,CL3,CL4,CL5)보다 길게 됨을 알 수 있다. 따라서,

오버랩 방지 제어신호라인들의 길이가 차이가 있는 경우에 경로편차가 발생하므로 출력 데이터의 멀티플렉싱 오버랩이 발생하는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

- <18> 따라서, 본 발명의 목적은 상기한 종래의 문제점들을 해결할 수 있는 동기식 반도체 메모리 장치의 데이터 출력회로를 제공함에 있다.
- <19> 본 발명의 다른 목적은 정션 로딩 및 배선 로딩을 최소화 또는 줄일 수 있는 동기식 반도체 메모리 장치의 데이터 출력회로를 제공함에 있다.
- <20> 본 발명의 또 다른 목적은 데이터 스큐를 최소화 또는 줄일 수 있는 동기식 반도체 메모리 장치의 데이터 출력회로를 제공함에 있다.
- <21> 본 발명의 또 다른 목적은 오버랩 방지 제어신호라인들의 경로편차를 줄여 출력 데이터의 멀티플렉싱 오버랩을 방지할 수 있는 동기식 반도체 메모리 장치의 데이터 출력회로를 제공함에 있다.
- <22> 본 발명의 또 다른 목적은 고속의 데이터 출력동작을 최대한 보장할 수 있는 웨이브 파이프라인 구조의 동기식 반도체 메모리 장치의 데이터 출력회로를 제공함에 있다.
- <23> 상기한 목적들 가운데 일부의 목적들을 달성하기 위한 본 발명의 일 양상(Aspect)에 따라, 웨이브 파이프라인 구조를 가지는 데이터 출력 멀티플렉서를 구비한 동기식 반도체 메모리 장치의 데이터 출력회로는, 상기 데이터 출력 멀티플렉서내의 레지스터 출력선택 스위치들의 출력단들에 연결된 라인들과 공통으로 연결되는 멀티플렉싱 출력라인

의 정션 로딩을 줄이기 위해, 서로 인접한 레지스터 출력선택 스위치들 끼리의 출력 파트 액티브 영역들을 공통으로 형성함에 의해, 두 개의 레지스터 출력선택 스위치들의 출력단들 마다 단일의 라인을 통해 상기 멀티플렉싱 출력라인에 연결되도록 한 것을 특징으로 한다.

<24> 본 발명의 다른 양상에 따라, 웨이브 파이프라인 구조를 가지는 데이터 출력 멀티플렉서를 구비한 동기식 반도체 메모리 장치의 데이터 출력회로는, 상기 데이터 출력 멀티플렉서내의 레지스터 출력선택 스위치들의 출력단들에 연결된 라인들과 공통으로 연결되는 멀티플렉싱 출력라인의 배선 로딩을 줄이기 위해, 상기 레지스터 출력선택 스위치들의 출력단들에 연결된 라인들의 길이를 상기 레지스터 출력선택 스위치들의 입력단들에 연결된 라인들의 길이보다 상대적으로 짧게 배치한 것을 특징으로 한다.

<25> 본 발명의 또 다른 양상에 따라, 웨이브 파이프라인 구조를 가지는 데이터 출력 멀티플렉서를 구비한 동기식 반도체 메모리 장치의 데이터 출력회로는, 상기 데이터 출력 멀티플렉서내의 레지스터 출력선택 스위치들의 출력단들에 연결된 라인들을 통해 각기 출력되는 출력 데이터 간의 스큐를 줄이기 위해, 제1,2 데이터 그룹선택 스위치들을 상기 라인들의 중앙근방에 배치함에 의해 상기 라인들과 상기 제1,2 데이터 그룹선택 스위치들의 입력단들 간을 공통으로 연결하는 제1,2 멀티플렉싱 출력라인들의 길이가 거의 동일하도록 한 것을 특징으로 한다.

<26> 본 발명의 또 다른 양상에 따라, 웨이브 파이프라인 구조를 가지는 데이터 출력 멀티플렉서를 구비한 동기식 반도체 메모리 장치의 데이터 출력회로는, 상기 데이터 출력 멀티플렉서내의 레지스터 출력선택 스위치들의 출력단들에 연결된 라인들을 통해 각기 출력되는 출력 데이터 간의 스큐를 줄이고, 상기 레지스터 출력선택 스위치들에 각기 인

가되는 스위칭 선택신호의 상보신호를 각기 제공하는 오버랩 방지 제어신호라인들의 경로편차를 줄여 출력 데이터의 멀티플렉싱 오버랩을 방지하기 위해, 제1,2 그룹에 속해 있는 상기 레지스터 출력선택 스위치들을 랩 어라운드 방식으로 배치하고 상기 오버랩 방지 제어신호 라인들의 대부분을 인접 스위치의 다음에 배치된 스위치와 연결함에 의해, 상기 오버랩 방지 제어신호 라인들의 배선 길이가 상기 레지스터 출력선택 스위치들 중 대부분의 스위치들에 대하여 같아지도록 한 것을 특징으로 한다.

<27>        상기한 구성들에 따르면, 정선 로딩, 배선 로딩, 데이터 스큐가 최소화 또는 줄어 들고 데이터 오버랩이 방지또는 최소화되므로 고속 출력동작을 최적으로 보장하는 이점을 갖는다.

#### 【발명의 구성 및 작용】

<28>        이하에서는 본 발명의 실시예들에 따른 웨이브 파이프라인 구조를 가지는 데이터 출력 멀티플렉서를 구비한 동기식 반도체 메모리 장치의 데이터 출력회로가 첨부된 도면들을 참조하여 설명된다. 비록 다른 도면에 표시되어 있더라도 동일 내지 유사한 기능을 가지는 구성요소들은 동일 내지 유사한 참조부호로서 나타나 있다.

<29>        도 8 내지 도 13는 본 발명의 다양한 실시 예들에 따라 데이터 출력회로의 구성요소들의 세부적 배치구조를 설명하기 위한 도면들이다.

<30>        도 8 및 도 9은 도 3의 설명에서 언급된 문제 즉 정선 로딩을 줄이기 위하여, 복수의 레지스터 출력선택 스위치들(S1-S16)중 일부의 스위치들(S1-S4)과 멀티플렉싱 출력라인(DOFi)간의 연결 형태를 보여준다. 도 8에서, 서로 인접한 레지스터 출력선택 스위치

들(S1,S2)끼리의 출력 파트 액티브 영역들(S)이 공통으로 형성됨을 알 수 있다. 따라서, 상기 멀티플렉싱 출력라인(DOFi)에는 2개의 정션(junction)부분이 나타나므로, 도 1의 데이터 출력 멀티플렉서(100)내의 멀티플렉싱 출력라인(DOFi)에는 총 4개의 정션부분이 존재한다. 따라서, 멀티플렉싱 출력라인(DOFi,DOSi)에서의 정션 로딩은 절반으로 줄어든다.

<31> 도 9를 참조하면, 드레인(D)에는 전원전압(VDD) 또는 접지전압(VSS)을 연결하고 소오스(S)를 공통으로 사용하며, 게이트(G)로 레지스터의 출력 데이터와 상기 스위칭 선택 신호(CDQ0\_F)를 함께 앤드 게이팅하여 인가하는 것이 보여진다. 이 경우에도 상기 멀티플렉싱 출력라인(DOFi)에는 2개의 정션부분이 나타나므로, 도 3에 비해 정션 로딩은 절반으로 줄어든다.

<32> 결국, 서로 인접한 레지스터 출력선택 스위치들 끼리의 출력 파트 액티브 영역들을 공통으로 형성하면, 두 개의 레지스터 출력선택 스위치들의 출력단들 마다 단일의 라인을 통해 상기 멀티플렉싱 출력라인에 연결되므로, 레지스터 출력선택 스위치들의 출력단들에 연결된 라인들과 공통으로 연결되는 멀티플렉싱 출력라인의 정션 로딩이 줄어든다.

<33> 도 10은 상기 도 4에서 언급된 문제 즉 배선 로딩을 줄이기 위한 배선라인의 배치를 보여준다. 도면을 참조하면, 복수의 레지스터 출력선택 스위치들(S1-S8)과 멀티플렉싱 출력라인(L33)의 전후에 배치되는 배선라인들(L11,L22,L33,L44)의 길이를 비교하면, 배선라인(L22)의 길이(D2)가 배선라인(L11)의 길이(D1)보다 짧고, 배선라인(L33)의 길이(D3)도 비교적 짧게 형성됨을 알 수 있다. 따라서, 배선라인(L22)의 길이를 짧게 하면

멀티플렉싱 출력노드에 배선로딩이 집중되는 문제가 완화되므로 데이터 출력시간이 지연되는 문제가 상당히 해소된다.

<34> 결국, 상기 레지스터 출력선택 스위치들의 출력단들에 연결된 라인들의 길이를 상기 레지스터 출력선택 스위치들의 입력단들에 연결된 라인들의 길이보다 상대적으로 짧게 배치하면, 상기 데이터 출력 멀티플렉서내의 레지스터 출력선택 스위치들의 출력단들에 연결된 라인들과 공통으로 연결되는 멀티플렉싱 출력라인의 배선 로딩이 줄어든다.

<35> 도 11은 상기 도 5의 설명에서 언급된 문제 즉, 출력 데이터간의 스큐를 줄이기 위한 배치 구조이다. 도면에서, 멀티플렉싱 출력라인(DOFi, DOSi)간의 배선 길이가 같고, 제1 레지스터(101)를 경유하는 데이터 출력 경로(PA11)와 제8 레지스터(108)를 경유하는 데이터 출력 경로(PA22)와 제n 레지스터(116)를 경유하는 데이터 출력 경로(PA33)가 모두 같음을 알 수 있다. 따라서, 제1,2 데이터 그룹선택 스위치들(SW1, SW2)을 레지스터 출력선택 스위치들의 출력단들에 연결된 라인들의 중앙근방에 배치함에 의해 상기 라인들과 상기 제1,2 데이터 그룹선택 스위치들의 입력단들 간을 공통으로 연결하는 제1,2 멀티플렉싱 출력라인들의 길이가 거의 동일하게 된다. 따라서, 상기 데이터 출력 멀티플렉서내의 레지스터 출력선택 스위치들의 출력단들에 연결된 라인들을 통해 각기 출력되는 출력 데이터 간의 스큐는 줄어든다.

<36> 도 12 및 도 13은 상기 도 6 및 도 7에서 언급된 문제 즉, 오버랩 방지 제어신호라인들의 길이의 차이에 따른 경로편차를 해결하기 위하여 상기 레지스터 출력선택 스위치들(S1-S16)의 배치 및 신호연결관계를 보인 것이다. 도 12에서는 데이터의 멀티플렉싱 오버랩 발생문제를 해결하기 위해 상기 레지스터 출력선택 스위치들(S1-S16)을 랩 어라운드(Wrap-around) 방식으로 배치한 것을 보여준다. 이는 상부를 기준으로 왼쪽 또는 오

른쪽으로 시작하여 각 스위치를 배치시키는 방법이다. 도 12에 따른 실질적 배치관계은 도 13에 도시된다. 도 13을 참조하면, 상기 오버랩 방지 제어신호 라인들의 대부분을 인접 스위치의 다음에 배치된 스위치와 연결함에 의해, 제어신호 라인들의 길이는 동일하여 데이터의 멀티플렉싱 오버랩 발생문제가 해결된다. 도 13에서, 예를 들어, 스위치(S1)를 스위칭 온 시킬 때 스위치(S16)가 스위칭 오프되고, 스위치(S16)를 스위칭 온 시킬 때 스위치(S8)가 스위칭 오프된다. 도면에서는 오버랩 방지 제어신호라인들(CL8,CL16)을 제외하고는 모두 배선 길이가 동일함을 알 수 있다.

<37> 이와 같이, 제1,2 그룹에 속해 있는 상기 레지스터 출력선택 스위치들을 랩 어라운드 방식으로 배치하고 상기 오버랩 방지 제어신호 라인들의 대부분을 인접 스위치의 다음에 배치된 스위치와 연결하면, 상기 오버랩 방지 제어신호 라인들의 배선 길이가 상기 레지스터 출력선택 스위치들 중 대부분의 스위치들에 대하여 같아진다. 따라서, 데이터 출력 멀티플렉서내의 레지스터 출력선택 스위치들의 출력단들에 연결된 라인들을 통해 각기 출력되는 출력 데이터 간의 스큐가 줄어들고, 오버랩 방지 제어신호라인들의 경로 편차를 줄여 출력 데이터의 멀티플렉싱 오버랩이 방지된다.

<38> 상기한 설명에서는 본 발명의 실시 예를 위주로 도면을 따라 예를 들어 설명하였지만, 본 발명의 기술적 사상의 범위 내에서 본 발명을 다양하게 변형 또는 변경할 수 있음은 본 발명이 속하는 분야의 당업자에게는 명백한 것이다. 예를 들어, 사안이 다른 경우에 데이터 출력 멀티플렉서의 세부 구조를 다양한 형태로 변경할 수 있음은 물론이다.



【발명의 효과】

<39>       상기한 바와 같이 본 발명의 데이터 출력회로에 따르면, 정선 로딩, 배선 로딩, 및 데이터 스큐가 최소화 또는 줄어들고 데이터 오버랩이 방지또는 최소화되므로 고속 출력동작을 최적으로 보장하는 효과가 있다.

**【특허청구범위】****【청구항 1】**

웨이브 파이프라인 구조를 가지는 데이터 출력 멀티플렉서를 구비한 동기식 반도체 메모리 장치의 데이터 출력회로에 있어서:

상기 데이터 출력 멀티플렉서내의 레지스터 출력선택 스위치들의 출력단들에 연결된 라인들과 공통으로 연결되는 멀티플렉싱 출력라인의 정션 로딩을 줄이기 위해, 서로 인접한 레지스터 출력선택 스위치들 끼리의 출력 파트 액티브 영역들을 공통으로 형성함에 의해, 두 개의 레지스터 출력선택 스위치들의 출력단들 마다 단일의 라인을 통해 상기 멀티플렉싱 출력라인에 연결되도록 한 것을 특징으로 하는 동기식 반도체 메모리 장치의 데이터 출력회로.

**【청구항 2】**

제1항에 있어서, 상기 레지스터 출력선택 스위치들은 각기 씨모오스 전송 게이트로 구성됨을 특징으로 하는 동기식 반도체 메모리 장치의 데이터 출력회로.

**【청구항 3】**

웨이브 파이프라인 구조를 가지는 데이터 출력 멀티플렉서를 구비한 동기식 반도체 메모리 장치의 데이터 출력회로에 있어서:

상기 데이터 출력 멀티플렉서내의 레지스터 출력선택 스위치들의 출력단들에 연결된 라인들과 공통으로 연결되는 멀티플렉싱 출력라인의 배선 로딩을 줄이기 위해, 상기

레지스터 출력선택 스위치들의 출력단들에 연결된 라인들의 길이를 상기 레지스터 출력 선택 스위치들의 입력단들에 연결된 라인들의 길이보다 상대적으로 짧게 배치한 것을 특징으로 하는 동기식 반도체 메모리 장치의 데이터 출력회로.

#### 【청구항 4】

웨이브 파이프라인 구조를 가지는 데이터 출력 멀티플렉서를 구비한 동기식 반도체 메모리 장치의 데이터 출력회로에 있어서:

상기 데이터 출력 멀티플렉서내의 레지스터 출력선택 스위치들의 출력단들에 연결된 라인들을 통해 각기 출력되는 출력 데이터 간의 스큐를 줄이기 위해, 제1,2 데이터 그룹선택 스위치들을 상기 라인들의 중앙근방에 배치함에 의해 상기 라인들과 상기 제1,2 데이터 그룹선택 스위치들의 입력단들 간을 공통으로 연결하는 제1,2 멀티플렉싱 출력라인들의 길이가 거의 동일하도록 한 것을 특징으로 하는 동기식 반도체 메모리 장치의 데이터 출력회로.

#### 【청구항 5】

웨이브 파이프라인 구조를 가지는 데이터 출력 멀티플렉서를 구비한 동기식 반도체 메모리 장치의 데이터 출력회로에 있어서:

상기 데이터 출력 멀티플렉서내의 레지스터 출력선택 스위치들의 출력단들에 연결된 라인들을 통해 각기 출력되는 출력 데이터 간의 스큐를 줄이고, 상기 레지스터 출력 선택 스위치들에 각기 인가되는 스위칭 선택신호의 상보신호를 각기 제공

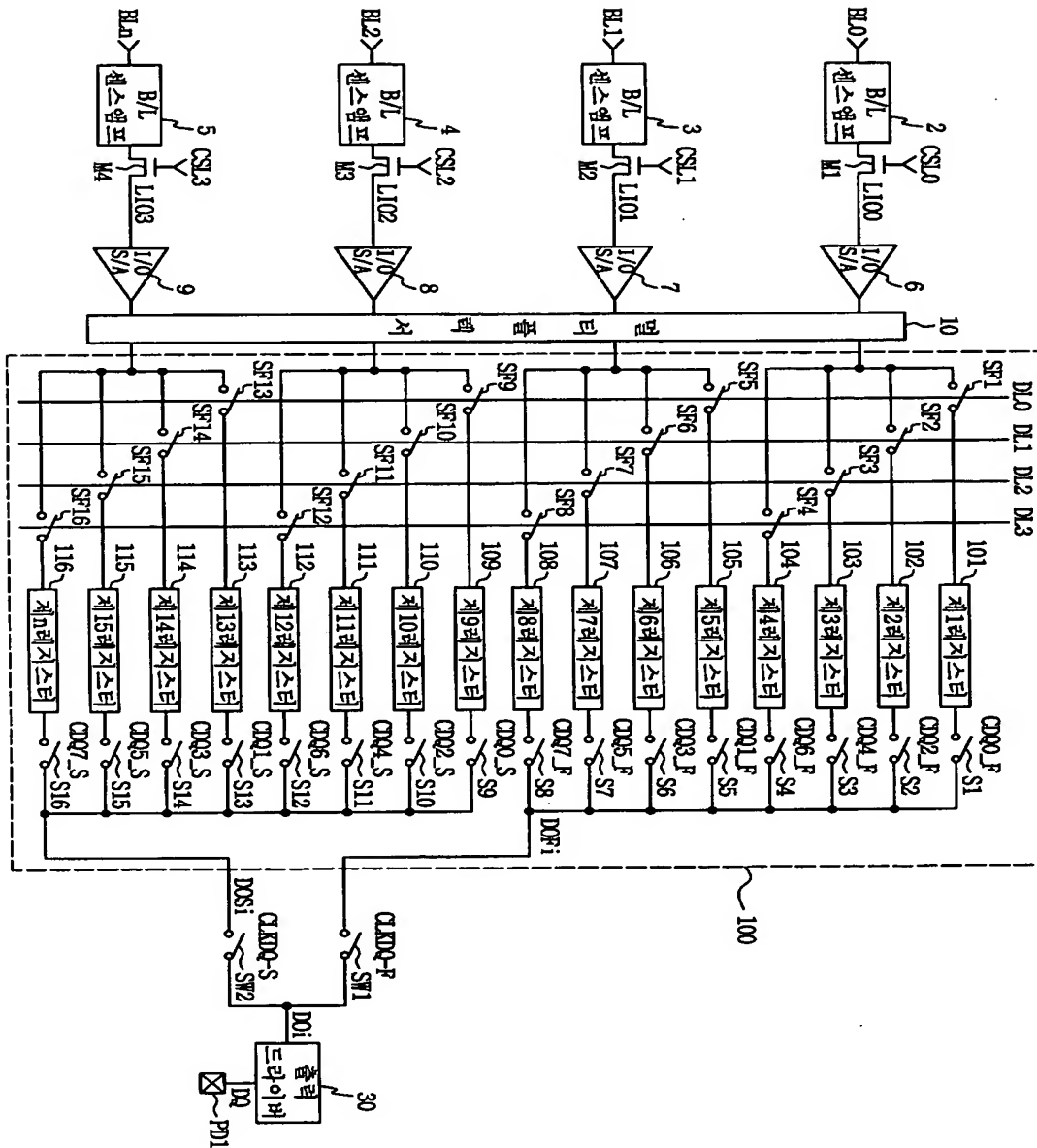
하는 오버랩 방지 제어신호라인들의 경로편차를 줄여 출력 데이터의 멀티플렉싱 오버랩을 방지하기 위해, 제1,2 그룹에 속해 있는 상기 레지스터 출력선택 스위치들을 랩 어라운드 방식으로 배치하고 상기 오버랩 방지 제어신호 라인들의 대부분을 인접 스위치의 다음에 배치된 스위치와 연결함에 의해, 상기 오버랩 방지 제어신호 라인들의 배선 길이가 상기 레지스터 출력선택 스위치들 중 대부분의 스위치들에 대하여 같아지도록 한 것을 특징으로 하는 동기식 반도체 메모리 장치의 데이터 출력회로.

**【청구항 6】**

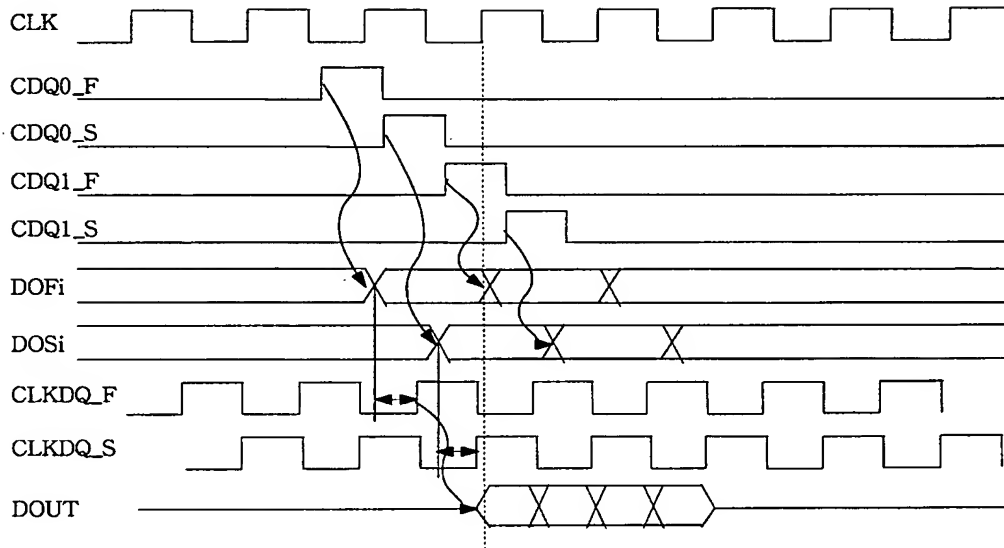
제5항에 있어서, 상기 데이터 출력 멀티플렉서는 더블 데이터 레이트용 멀티플렉서임을 특징으로 하는 동기식 반도체 메모리 장치의 데이터 출력회로.

【도면】

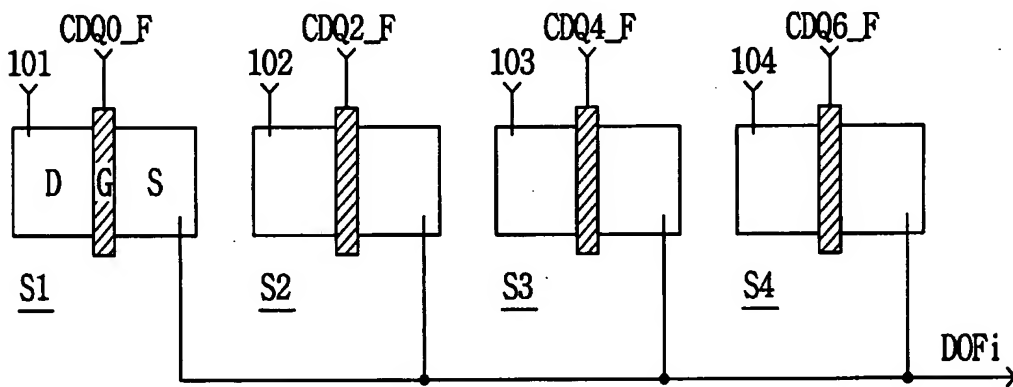
【도 1】



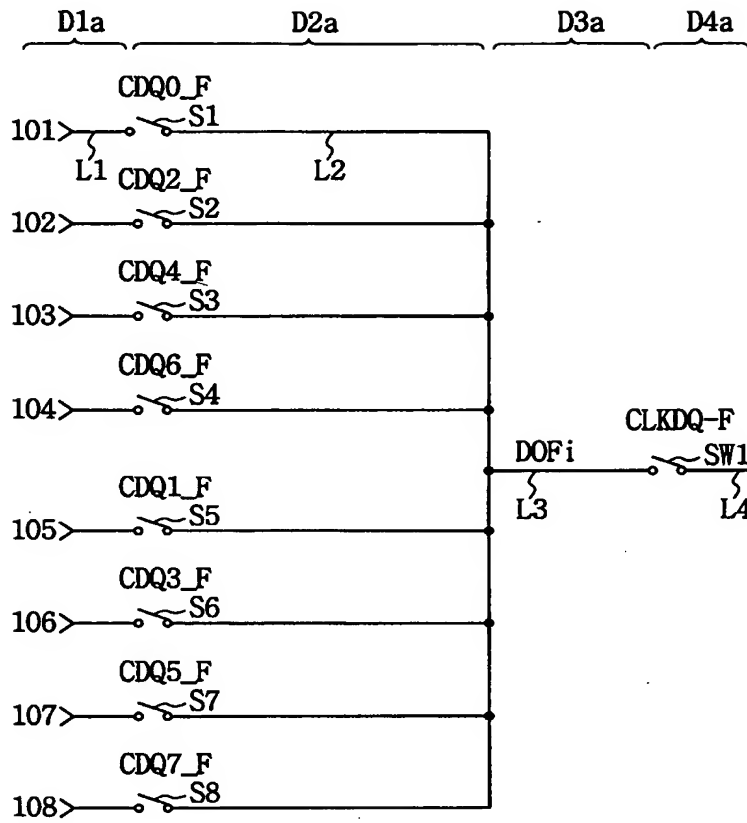
【도 2】



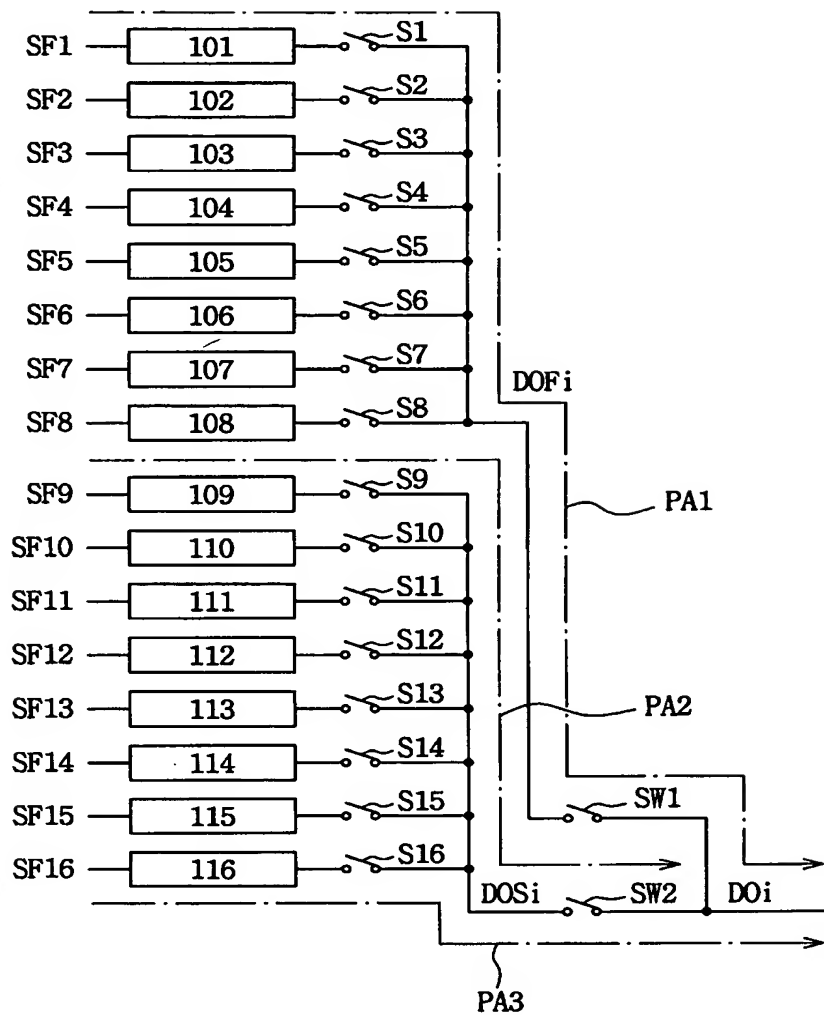
【도 3】



【도 4】

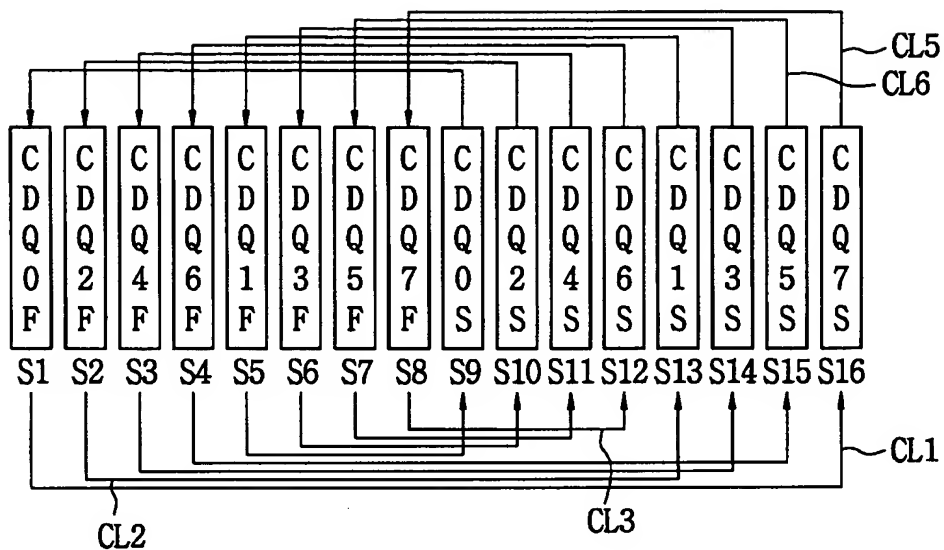


【도 5】

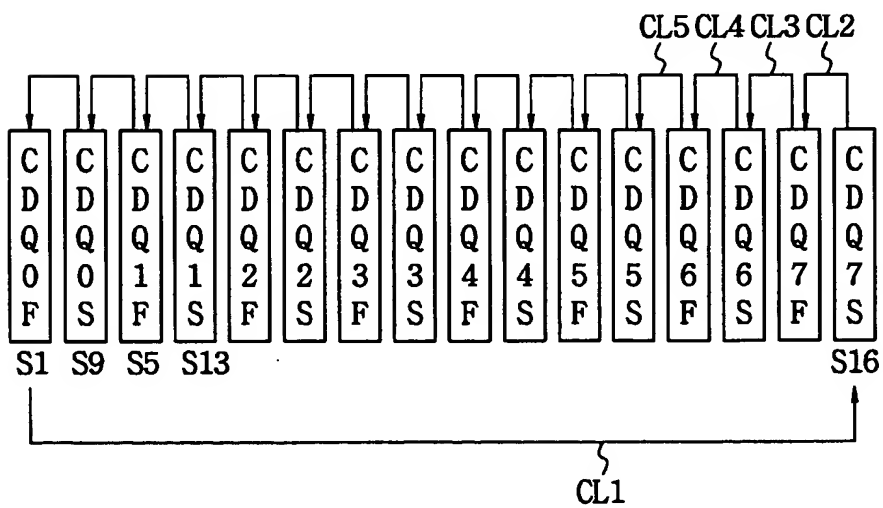




【도 6】

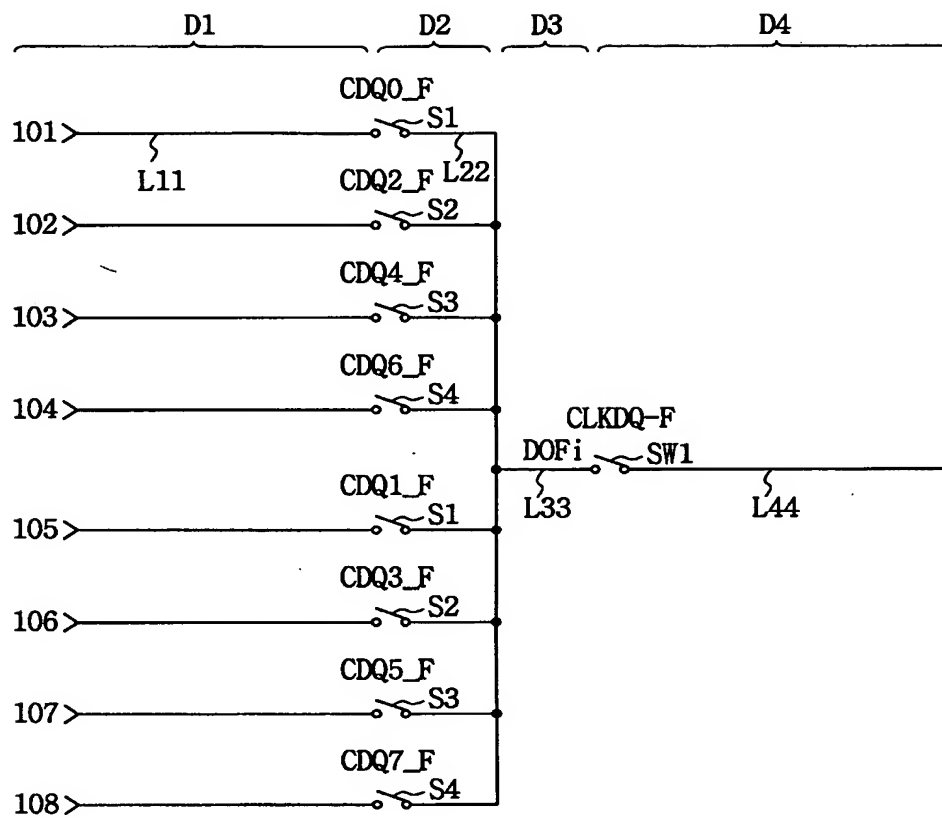


【도 7】

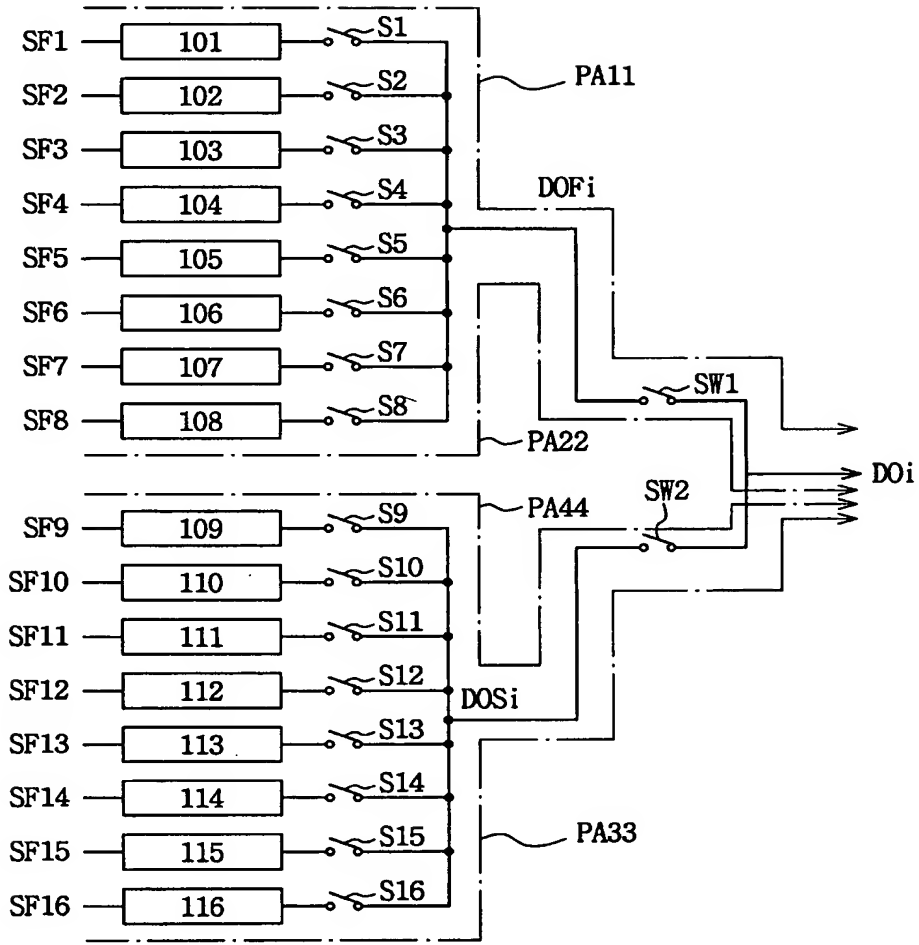




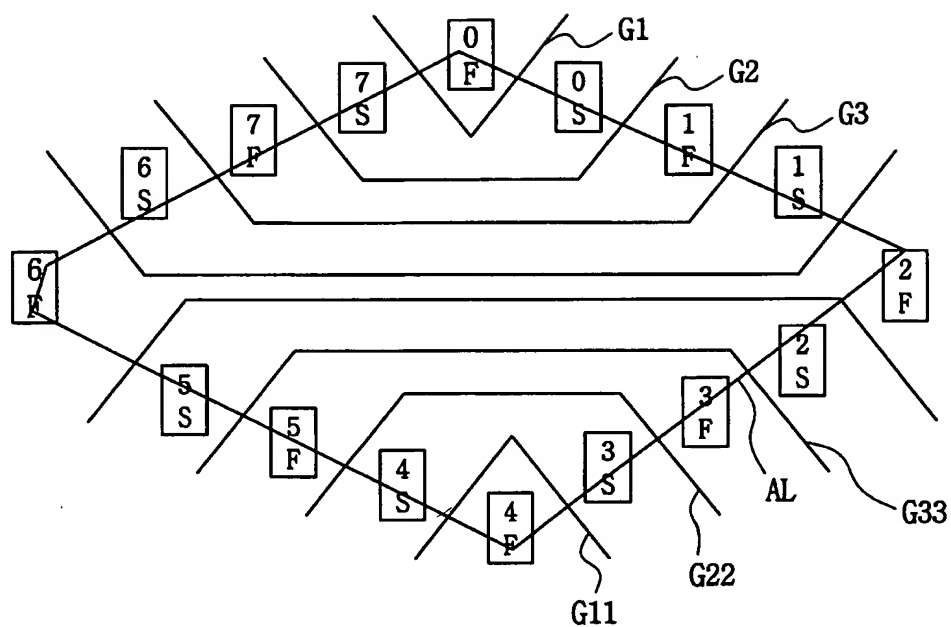
【도 10】



【도 11】



【도 12】



【도 13】

